Politechnika Krakowska im. Tadeusza Kościuszki

Karta przedmiotu

obowiązuje studentów rozpoczynających studia w roku akademickim 2013/2014

Wydział Inżynierii Elektrycznej i Komputerowej

Kierunek studiów: Informatyka | Profil: Ogólnoakademicki

Forma sudiów: stacjonarne | Kod kierunku: Info

Stopień studiów: I

Specjalności: bez specjalności

1 Informacje o przedmiocie

Nazwa przedmiotu	Architektury systemów komputerowych
Nazwa przedmiotu w języku angielskim	Computer Systems Architecture
Kod przedmiotu	WIEiK INFOR oIS PK19 13/14
Kategoria przedmiotu	Przedmioty kierunkowe
Liczba punktów ECTS	6.00
Semestry	4

2 Rodzaj zajęć, liczba godzin w planie studiów

Semestr	Wykłady	Ćwiczenia	Laboratoria	Laboratoria komputerowe	Projekty	
4	30	0	30	0	0	0

3 Cele przedmiotu

Cel 1 Zapoznanie studentów z architekturą i zasadami działania systemów komputerowych.

Cel 2 Nauczenie studentów zasad projektowania procesorów działających w oparciu o model obliczeniowy zaproponowany przez von Neumanna.

Cel 3 Zapoznanie studentów z podstawami języka VHDL.

4 Wymagania wstępne w zakresie wiedzy, umiejętności i innych kompetencji

1 Znajomość podstaw elektroniki i techniki cyfrowej.

5 Efekty kształcenia

EK1 Wiedza Student potrafi omówić architekturę prostego systemu komputerowego i podstawowe zespoły funkcjonalne.

EK2 Umiejętności Student potrafi opisać działanie procesora na poziomie mikrooperacji i przesłań między-rejestrowych (RTL).

EK3 Wiedza Student zna zagadnienia związane z organizacją systemu pamięci podstawowej, działaniem pamięci podręcznej, pomocniczej.

EK4 Wiedza Student zna zagadnienia związane z systemem we/wy oraz komunikacją procesora z urządzeniami zewnętrznymi z wykorzystaniem przerwań, DMA.

EK5 Umiejętności Student potrafi opisać w języku VHDL i zaimplementować w technologii FPGA podstawowe zespoły funkcjonalne (układy arytmetyczno-logiczne, rejestry, liczniki, pamięci) oraz zaprojektować proste systemy komputerowe.

6 Treści programowe

Wykłady		
Lp	Tematyka zajęć Opis szczegółowy bloków tematycznych	Liczba godzin
W1	Pojęcie architektury systemu komputerowego. Poziomy opisu systemów komputerowych. Poziom przesłań między-rejestrowych (RTL). Model Von Neumanna i inne modele obliczeniowe. System komputerowy: opisy struktury i funkcji, architektura warstwowa.	4
W2	Podstawowe zespoły funkcjonalne systemów komputerowych: rejestry, pamięci, urządzenia arytmetyczno-logiczne, procesory (CPU, ASIP), ASIC, zespoły wykorzystywane do komunikacji i sterowania.	4
W3	Reprezentacje danych: dane numeryczne i nienumeryczne. Organizacja i działanie procesora na poziomie języka wewnętrznego, mikrooperacji i RTL.	6
W4	Jednostki: sterująca i wykonawcza, algorytm sterowania, cykle sterowania, typy rozkazów, formaty rozkazów, tryby adresowania, wejście/wyjście, przerwania, stos.	4
W5	Organizacja systemu pamięci: hierarchia pamięci, pamięć podstawowa (operacyjna): organizacja i sterowanie, pamięci podręczne, translacja adresów, algorytmy wymiany i zapisu (pamięć pomocnicza, pamięć podstawowa, pamięci podręczne), przepustowość i przeplot.	5
W6	Organizacja systemu we/wy: sterowanie we/wy, przerwania, zasady synchronizacji: transmisje, podstawowe protokoły, DMA. Systemy magistral. Schematy arbitrażu.	5
W7	Pamięć zewnętrzna: organizacja i sterowanie.	2

Laboratoria		
Lp	Tematyka zajęć Opis szczegółowy bloków tematycznych	Liczba godzin
L1	Obsługa analizatora stanów logicznych. Monitorowanie działania prostego CPU. Monitorowanie sygnałów magistrali systemowej mikrokomputera (cykl rozkazowy). Monitorowanie transmisji.	4
L2	Kompilatory logiczne dla układów CPLD i FPGA: Quartus II. Projektowanie układów cyfrowych na poziomie mikroarchitektury. Implementacja układów cyfrowych w technologii FPGA. Podstawy języka opisu sprzętu VHDL.	4
L3	Projektowanie układów arytmetyczno-logicznych w VHDL-u.	6
L4	Projektowanie na poziomie RTL. Implementacja pamięci.	4
L5	Architektura procesora NIOS II - tworzenie systemów komputerowych z wykorzystaniem narzędzia SOPC Builder/Qsys, obsługa przerwań, interfejs UART, komunikacja z wykorzystaniem magistrali, DMA.	12

7 Narzędzia dydaktyczne

N1 Ćwiczenia laboratoryjne

N2 Konsultacje

N3 Prezentacje multimedialne

N4 Wykłady

8 Obciążenie pracą studenta

Forma aktywności	Średnia liczba godzin na zrealizowanie aktywności
Godziny kontaktowe z nauczycielem akademickim, w tym:	
Godziny wynikające z planu studiów	0
Konsultacje przedmiotowe	10
Egzaminy i zaliczenia w sesji	10
Godziny bez udziału nauczyciela akademickiego wynikające z nakładu pracy studenta, w tym:	
Przygotowanie się do zajęć, w tym studiowanie zalecanej literatury	60
Opracowanie wyników	0
Przygotowanie raportu, projektu, prezentacji, dyskusji	20
przygotowanie do egzaminu	20
Sumaryczna liczba godzin dla przedmiotu wynikająca z całego nakładu pracy studenta	**120**
Sumaryczna liczba punktów ECTS dla przedmiotu	6.00

9 Sposoby oceny

Ocena formująca

F1 Sprawozdanie z ćwiczenia laboratoryjnego

F2 Kolokwium

Ocena podsumowująca

P1 Egzamin pisemny

P2 Średnia ważona ocen formujących

Ocena aktywności bez udziału nauczyciela

B1 Ćwiczenie praktyczne

Kryteria oceny

Efekt kształcenia 1	
Na ocenę 2.0	Student nie potrafi omówić modelu systemu komputerowego wykorzystującego architekturę von Neumanna.

Na ocenę 3.0	Student potrafi omówić cechy systemu komputerowego wykorzystującego architekturę von Neumanna.
Na ocenę 3.5	-
Na ocenę 4.0	Student potrafi omówić wszystkie podstawowe komponenty systemu komputerowego i omówić działanie procesora opartego o model von Neumanna.
Na ocenę 4.5	-
Na ocenę 5.0	Student potrafi omówić komponenty systemu komputerowego, omówić działanie procesora opartego o model von Neumanna oraz zna i potrafi omówić inne modele obliczeniowe. Student potrafi wskazać zalety i wady różnych modeli obliczeniowych.
Efekt kształcenia 2	
Na ocenę 2.0	Student nie zna cyklu rozkazowego procesora.
Na ocenę 3.0	Student zna cykl rozkazowy procesora, typy instrukcji, tryby adresowania.
Na ocenę 3.5	-
Na ocenę 4.0	Student zna cykl rozkazowy procesora, typy instrukcji, tryby adresowania i potrafi opisać instrukcję (przesyłanie danych, skoki, wywołania procedur, obsługa stosu, itp.) w postaci sekwencji mikrooperacji i przesłań między-rejestrowych.
Na ocenę 4.5	-
Na ocenę 5.0	Student zna cykl rozkazowy procesora, typy instrukcji, tryby adresowania i potrafi opisać złożoną instrukcję wieloargumentową z dowolnym trybem adresowania w postaci sekwencji mikrooperacji i przesłań między-rejestrowych. Ponadto student zna metody optymalizacji czasu wykonania rozkazów.
Efekt kształcenia 3	
Na ocenę 2.0	Student nie potrafi omówić hierarchii pamięci, organizacji pamięci podstawowej i jej współpracy z procesorem, koncepcji pamięci podręcznej.
Na ocenę 3.0	Student potrafi omówić hierarchię pamięci, organizację i współpracę pamięci podstawowej z procesorem, koncepcję pamięci podręcznej.
Na ocenę 3.5	-
Na ocenę 4.0	Student potrafi omówić hierarchię pamięci, organizację i współpracę pamięci podstawowej z procesorem, koncepcję pamięci podręcznej, zna organizację pamięci wirtualnej i mechanizmy stronicowania i segmentacji, zna również algorytmy wymiany i zapisu.
Na ocenę 4.5	-

Na ocenę 5.0	Student potrafi omówić hierarchię pamięci, organizację i współpracę pamięci podstawowej z procesorem, koncepcję pamięci podręcznej, zna organizację pamięci wirtualnej i mechanizmy stronicowania i segmentacji, zna algorytmy wymiany i zapisu. Student potrafi ponadto zaprojektować pamięć podręczną z odwzorowaniem bezpośrednim i sekcyjno-skojarzeniowym.
Efekt kształcenia 4	
Na ocenę 2.0	Student nie zna ogólnych zasad sterowania urządzeniami wejścia/wyjścia.
Na ocenę 3.0	Student zna ogólne zasady sterowania urządzeniami wejścia/wyjścia.
Na ocenę 3.5	-
Na ocenę 4.0	Student zna metody transmisji danych, podstawowe protokoły, zasady synchronizacji oraz systemy magistral.
Na ocenę 4.5	-
Na ocenę 5.0	Student zna metody transmisji danych, podstawowe protokoły, zasady synchronizacji, systemy magistral oraz metody obsługi urządzeń we/wy z wykorzystaniem przerwań, DMA.
Efekt kształcenia 5	
Na ocenę 2.0	Student nie potrafi opisać prostych układów kombinacyjnych i sekwencyjnych w języku VHDL.
Na ocenę 3.0	Student potrafi opisać prosty układ kombinacyjny (multipleksery, enkodery, sumatory, ALU, itp.) w języku VHDL i zaimplementować go w układzie FPGA.
Na ocenę 3.5	-
Na ocenę 4.0	Student potrafi opisać prosty układ kombinacyjny i sekwencyjny (rejestry, liczniki, timer) w języku VHDL i zaimplementować go w układzie FPGA. Student potrafi stworzyć system komputerowy w oparciu o procesor NIOS II oraz uruchomić w tym systemie program z wykorzystaniem interfejsu UART i przerwań.
Na ocenę 4.5	-
Na ocenę 5.0	Student potrafi stworzyć system komputerowy w oparciu o procesor NIOS II oraz uruchomić w tym systemie program z wykorzystaniem interfejsu UART, przerwań, DMA oraz własnych komponentów opisanych w VHDL-u. Student potrafi opisać prosty procesor w języku VHDL i zaimplementować go w układzie FPGA.

10 Macierz realizacji przedmiotu

Efekt kształcenia	Odniesienie danego efektu do szczegółowych efektów zdefiniowanych dla programu	Cele przedmiotu	Treści programowe	Narzędzia dydaktyczne	Sposoby oceny
EK1	K_W11	Cel 1	W1 W2 L1 L3 L5	N1 N2 N3 N4	F1 F2 P1 P2
EK2	K_U14	Cel 2	W3 W4 L1 L5	N1 N2 N3 N4	F1 F2 P1 P2
EK3	K_W11	Cel 1	W5 L1 L4 L5	N1 N2 N3 N4	F1 F2 P1 P2
EK4	K_W11	Cel 1	W6 W7 L5	N1 N2 N3 N4	F1 F2 P1 P2
EK5	K_U14	Cel 2 Cel 3	L5	N1 N2	F1 F2 P1 P2

11 Wykaz literatury

Literatura podstawowa

[1] Stallings William — *Organizacja i architektura systemu komputerowego*, Warszawa, 2000, WNT

[2] Morrris Mano M. — *Architektura komputerów*, Warszawa, 1988, WNT

Literatura uzupełniająca

[1] Kevin Skahill — *Język VHDL. Projektowanie programowalnych układów logicznych (wyd. 2)*, Warszawa, 2004, WNT

[2] Marek Zwoliński — *Projektowanie układów cyfrowych z wykorzystaniem języka VHDL*, Warszawa, 2002, WKiŁ

12 Informacje o nauczycielach akademickich

Osoba odpowiedzialna za kartę

prof.dr hab.inż. Krzysztof Sapiecha (kontakt: `gpedrak@pk.edu.pl`)

Osoby prowadzące przedmiot

1 dr inż. Mieczysław Drabowski (kontakt: `drabowski@pk.edu.pl`)

2 dr inż. Radosław Czarnecki (kontakt: `czarneck@pk.edu.pl`)

13 Zatwierdzenie karty przedmiotu do realizacji

(miejscowość, data) (odpowiedzialny za przedmiot) (dziekan)

Przyjmuję do realizacji (data i podpisy osób prowadzących przedmiot)

. . . . . .

. . . . . .