

POLITECHNIKA KRAKOWSKA IM. TADEUSZA KOŚCIUSZKI

KARTA PRZEDMIOTU

obowiązuje studentów rozpoczynających studia w roku akademickim 2021/2022

Wydział Inżynierii Elektrycznej i Komputerowej

Kierunek studiów: Informatyka w Inżynierii Komputerowej

Profil: Ogólnoakademicki

Forma studiów: niestacjonarne

Kod kierunku: IwIK

Stopień studiów: I

Specjalności: bez specjalności

1 INFORMACJE O PRZEDMIOCIE

NAZWA PRZEDMIOTU	Układy arytmetyczno-logiczne
NAZWA PRZEDMIOTU W JĘZYKU ANGIELSKIM	Arithmetic and logical systems
KOD PRZEDMIOTU	WIEiK INFOR_W_INZ_KOMP oIN PK3 21/22
KATEGORIA PRZEDMIOTU	Przedmioty kierunkowe
LICZBA PUNKTÓW ECTS	4.00
SEMESTRY	1

2 RODZAJ ZAJĘĆ, LICZBA GODZIN W PLANIE STUDIÓW

SEMESTR	WYKŁADY	ĆWICZENIA	LABORATORIA	LABORATORIA KOMPUTERO- WE	PROJEKTY	
1	20	0	15	0	0	0

3 CELE PRZEDMIOTU

Cel 1 Wprowadzenie podstawowych pojęć związanych z teorią układów cyfrowych, zapoznanie studentów z algebra Boole'a i sposobami implementacji układów cyfrowych.

Cel 2 Zapoznanie studentów z budową i działaniem układów kombinacyjnych, arytmetyczno-logicznych.

Cel 3 Zapoznanie studentów z budową i działaniem układów sekwencyjnych synchronicznych i asynchronicznych.

Cel 4 Zapoznanie studentów z zasadami syntezy logicznej i wybranymi metodami projektowania układów cyfrowych.

Cel 5 Zapoznanie studentów z podstawami języka VHDL.

4 WYMAGANIA WSTĘPNE W ZAKRESIE WIEDZY, UMIEJĘTNOŚCI I INNYCH KOMPETENCJI

1 Matematyka na poziomie szkoły średniej.

5 EFEKTY KSZTAŁCENIA

EK1 Wiedza Student omawia własności funkcji logicznych oraz metody minimalizacji funkcji logicznych.

EK2 Umiejętności Student potrafi na podstawie podanej specyfikacji zaprojektować układ kombinacyjny i opisać go w języku VHDL, potrafi opisywać układy hierarchiczne w VHDL-u.

EK3 Wiedza Student omawia zasadę działania podstawowych elementów pamiętających oraz budowę i zasadę działania sekwencyjnych bloków funkcjonalnych (rejestrów, liczników, sumatorów szeregowych, itp.)

EK4 Umiejętności Student potrafi zaprojektować automat stanów oraz zna wybrane metody optymalizacji układów sekwencyjnych i objaśnia problemy związane z projektowaniem układów asynchronicznych.

EK5 Umiejętności Student potrafi na podstawie podanej specyfikacji zaprojektować układ sekwencyjny i opisać go w języku VHDL.

6 TREŚCI PROGRAMOWE

LABORATORIA		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
L1	Projektowanie układów cyfrowych z wykorzystaniem programu Quartus Prime oraz płyty prototypowej z układem FPGA. Projektowanie układów kombinacyjnych w języku VHDL.	6
L2	Projektowanie i implementacja układów sekwencyjnych w języku VHDL.	5
L3	Projektowanie automatów stanów i ich implementacja w języku VHDL.	4

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W1	Algebra Boole'a: podstawowe funkcje logiczne, bramki logiczne, własności funkcji logicznych, przykładowe tożsamości, prawa de Morgana.	2
W2	Metody specyfikacji funkcji logicznych: równania logiczne, postać kanoniczna, tabele prawdy, języki HDL. Minimalizacja funkcji logicznych: metoda tablic Karnaugh, metoda Quinea-McCluskeya.	2

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W3	Metody implementacji funkcji logicznych: realizacje bramkowe, PLA, struktury PLD i FPGA.	1
W4	Układy kombinacyjne: projektowanie, faktoryzacja, dekompozycja funkcjonalna. Opis funkcji logicznych w VHDLu. Implementacja funkcji arytmetycznych: kody liczbowe (NKB, U2, BCD), arytmetyka cyfrowa.	2
W5	Arytmetyczne bloki funkcjonalne (sumatory, substraktory, komparatory, ALU, mnożarki). Inne bloki funkcjonalne: multipleksery, demultipleksery, dekodery, encodery, ROM.	2
W6	Projektowanie układów kombinacyjnych w VHDLu: procesy, sygnały a zmienne, instrukcje sekwencyjne, typy danych, operatory logiczne, arytmetyczne, przykłady.	2
W7	Elementy sekwencyjne: przerzutniki SR, latch, D, JK, T. Sekwencyjne bloki funkcjonalne: rejestry, rejestry przesuwające, transmisja szeregową, sumatory szeregowo, liczniki. Projektowanie układów sekwencyjnych: automaty Moore'a i Mealy'ego, graf przejść FSM, tabela przejść FSM.	3
W8	Optymalizacja układów sekwencyjnych: minimalizacja liczby stanów, kodowanie stanów. Projektowanie układów sekwencyjnych w języku VHDL: rejestry latch, układy synchroniczne, specyfikacja FSM.	3
W9	Pamięci: RAM, struktura komórki pamięci, organizacja pamięci RAM. Układy asynchroniczne, problemy wyścigów i hazardów przy projektowaniu układów asynchronicznych. Przykłady.	3

7 NARZĘDZIA DYDAKTYCZNE

N1 Wykłady

N2 Ćwiczenia laboratoryjne

N3 Prezentacje multimedialne

8 OBCIĄŻENIE PRACĄ STUDENTA

FORMA AKTYWNOŚCI	ŚREDNIA LICZBA GODZIN NA ZREALIZOWANIE AKTYWNOŚCI
Godziny kontaktowe z nauczycielem akademickim, w tym:	
Godziny wynikające z planu studiów	35
Konsultacje przedmiotowe	0
Egzaminy i zaliczenia w sesji	0
Godziny bez udziału nauczyciela akademickiego wynikające z nakładu pracy studenta, w tym:	
Przygotowanie się do zajęć, w tym studiowanie zalecanej literatury	25
Opracowanie wyników	10
Przygotowanie raportu, projektu, prezentacji, dyskusji	10
SUMARYCZNA LICZBA GODZIN DLA PRZEDMIOTU WYNIKAJĄCA Z CAŁEGO NAKŁADU PRACY STUDENTA	80
SUMARYCZNA LICZBA PUNKTÓW ECTS DLA PRZEDMIOTU	4.00

9 SPOSOBY OCENY

OCENA FORMUJĄCA

F1 Ćwiczenie praktyczne

F2 Kolokwium

OCENA PODSUMOWUJĄCA

P1 Średnia ważona ocen formujących

WARUNKI ZALICZENIA PRZEDMIOTU

W1 Każde ćwiczenie laboratoryjne musi być zaliczone minimum na ocenę 3.0

OCENA AKTYWNOŚCI BEZ UDZIAŁU NAUCZYCIELA

B1 Ćwiczenie praktyczne

KRYTERIA OCENY

EFEKT KSZTAŁCENIA 1	
NA OCENĘ 2.0	Student nie zna podstawowych własności funkcji logicznych.
NA OCENĘ 3.0	Student zna własności funkcji logicznych.

NA OCENĘ 4.0	Student zna własności funkcji logicznych, potrafi wyprowadzać tożsamości logiczne oraz minimalizować funkcje logiczne wykorzystując metodę tablic Karnaugh. Student ponadto potrafi omówić różnice między różnymi metodami implementacji funkcji logicznych: realizacja bramkowa, PAL, PLA, CPLD i FPGA.
NA OCENĘ 5.0	Student zna własności funkcji logicznych, potrafi wyprowadzać tożsamości logiczne oraz minimalizować funkcje logiczne wykorzystując wybrane metody minimalizacji (tablice Karnaugh, metoda Quinea-McCluskeya). Student ponadto zna pojęcia faktoryzacji i dekompozycji oraz potrafi przekształcić funkcje logiczne tak aby dostosować postać funkcji do wybranej technologii implementacji.
EFEKT KSZTAŁCENIA 2	
NA OCENĘ 2.0	Student nie zna kodów liczbowych NKB, U2, BCD i nie potrafi posługiwać się arytmetyką cyfrową.
NA OCENĘ 3.0	Student zna kody liczbowe i potrafi posługiwać się arytmetyką cyfrową.
NA OCENĘ 4.0	Student zna arytmetykę cyfrową, potrafi opisać w VHDL-u podstawowe układy kombinacyjne, potrafi projektować w VHDL-u układy hierarchiczne, sumatory/subtraktory wielobitowe, mnożarki.
NA OCENĘ 5.0	Student zna arytmetykę cyfrową, potrafi opisać w VHDL-u układ kombinacyjny o dowolnej złożoności. Student potrafi wyciągać wnioski z raportów z syntezy i zoptymalizować projektowany układ.
EFEKT KSZTAŁCENIA 3	
NA OCENĘ 2.0	Student nie potrafi omówić ogólnej budowy i zasady działania elementów pamiętających.
NA OCENĘ 3.0	Student potrafi omówić ogólną budowę i zasadę działania elementów pamiętających oraz przydatność ich stosowania do projektowania układów cyfrowych.
NA OCENĘ 4.0	Student zna zasady działania standardowych układów pamiętających i potrafi omówić budowę i zasadę działania sekwencyjnych bloków funkcjonalnych takich jak: rejestry, sumatory szeregowo.
NA OCENĘ 5.0	Student potrafi samodzielnie zaprojektować licznik. Student potrafi zastosować różne standardowe elementy pamiętające do zrealizowania tego samego układu sekwencyjnego.
EFEKT KSZTAŁCENIA 4	
NA OCENĘ 2.0	Student nie potrafi omówić modelu układu sekwencyjnego - automatu Moorea i Mealyego.
NA OCENĘ 3.0	Student potrafi omówić model układu sekwencyjnego - automaty Moorea i Mealyego.
NA OCENĘ 4.0	Student potrafi opisać działanie układu w postaci FSM i tabeli przejść automatu oraz na podstawie takiej specyfikacji zaimplementować FSM z wykorzystaniem wybranych przerzutników.

NA OCENĘ 5.0	Student potrafi opisać działanie układu w postaci FSM i tabeli przejść automatu oraz na podstawie takiej specyfikacji zaimplementować FSM z wykorzystaniem wybranych przerzutników, zna problemy optymalizacji układów sekwencyjnych, potrafi minimalizować liczbę stanów automatu. Student zna problemy związane z projektowaniem układów asynchronicznych - wyścigi, hazardy i potrafi je omówić na przykładzie wybranych układów opisanych tabelami przejść automatu.
EFEKT KSZTAŁCENIA 5	
NA OCENĘ 2.0	Student nie potrafi opisać prostego układu sekwencyjnego w języku VHDL (rejestr latch).
NA OCENĘ 3.0	Student potrafi opisać proste układy sekwencyjne w VHDL-u (np. rejestry latch).
NA OCENĘ 4.0	Student potrafi opisywać układy synchroniczne i asynchroniczne w VHDL-u, student potrafi omówić na dowolnym przykładzie różnice pomiędzy sygnałami a zmiennymi w układach sekwencyjnych.
NA OCENĘ 5.0	Student potrafi opisywać układy synchroniczne i asynchroniczne w VHDL-u, potrafi objaśnić różnice pomiędzy sygnałami a zmiennymi w układach sekwencyjnych, zna metody kodowania stanów. Potrafi zaimplementować w VHDL-u projekt układu składającego się z kilku współdziałających FSM.

10 MACIERZ REALIZACJI PRZEDMIOTU

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓŁOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK1	K_W11	Cel 1	L1 W1 W2 W3	N1 N3	F2 P1
EK2	K_W11	Cel 2	L1 W4 W5 W6	N1 N2 N3	F1 F2 P1
EK3	K_W11	Cel 3	W7	N1 N3	F2 P1
EK4	K_W11	Cel 4	L3 W7 W8 W9	N1 N2 N3	F1 F2 P1
EK5	K_W11	Cel 5	L2 W7 W8 W9	N1 N2 N3	F1 F2 P1

11 WYKAZ LITERATURY

LITERATURA PODSTAWOWA

- [1] | Marek Zwolinski — *Projektowanie układów cyfrowych z wykorzystaniem języka VHDL*, Warszawa, 2002, WNŁ
- [2] | Władysław Majewski — *Układy logiczne*, Warszawa, 2003, WNT
- [3] | Tadeusz Łuba — *Synteza układów cyfrowych*, Warszawa, 2003, WKiŁ
- [4] | Piotr Rzeszut — *Systemy embedded w FPGA*, Legionowo, 2020, BTC

12 INFORMACJE O NAUCZYCIELACH AKADEMICKICH

OSOBA ODPOWIEDZIALNA ZA KARTĘ

mgr inż. Paweł Król (kontakt: pawel.krol@pk.edu.pl)

OSOBY PROWADZĄCE PRZEDMIOT

1 mgr inż. Paweł Król (kontakt: pawel.krol@pk.edu.pl)

13 ZATWIERDZENIE KARTY PRZEDMIOTU DO REALIZACJI

(miejscowość, data)

(odpowiedzialny za przedmiot)

(dziekan)

PRZYJMUJĘ DO REALIZACJI (data i podpisy osób prowadzących przedmiot)

.....