

POLITECHNIKA KRAKOWSKA IM. TADEUSZA KOŚCIUSZKI

KARTA PRZEDMIOTU

obowiązuje studentów rozpoczynających studia w roku akademickim 2020/2021

Wydział Inżynierii Elektrycznej i Komputerowej

Kierunek studiów: Elektrotechnika i Automatyka

Profil: Ogólnoakademicki

Forma studiów: stacjonarne

Kod kierunku: E7

Stopień studiów: I

Specjalności: Automatyka w układach elektrycznych

1 INFORMACJE O PRZEDMIOCIE

NAZWA PRZEDMIOTU	Synteza cyfrowych układów sterowania
NAZWA PRZEDMIOTU W JĘZYKU ANGIELSKIM	Synthesis of digital control systems
KOD PRZEDMIOTU	WIEiK EIA20_21_IST_ST oIS PS8 20/21
KATEGORIA PRZEDMIOTU	Przedmioty specjalnościowe
LICZBA PUNKTÓW ECTS	4.00
SEMESTRY	6

2 RODZAJ ZAJĘĆ, LICZBA GODZIN W PLANIE STUDIÓW

SEMESTR	WYKŁADY	ĆWICZENIA	LABORATORIA	LABORATORIA KOMPUTERO- WE	PROJEKTY	
6	30	0	30	0	0	0

3 CELE PRZEDMIOTU

Cel 1 Znajomość rozwoju układów cyfrowych w zależności od dostępnego stopnia integracji od układów SSI do VLSI i ASIC. Znajomość modelu automatowego i modelu układów mikroprogramowalnych. Znajomość rozwoju programowalnych układów cyfrowych w zależności od układów PLA i PLD do układów CPLD i FPGA i reprogramowalnych FPGA.

Cel 2 Znajomość problemów kombinatorycznych i algorytmów optymalizacyjnych występujących w syntezie układów SSI i MSI i modelu automatowym. Znajomość metod syntezy bezpośredniej i układów mikroprogramowalnych.

Cel 3 Znajomość wybranych narzędzi wspomagających syntezę, symulację i dekompozycję układów cyfrowych od pojedynczych programów dedykowanych do poszczególnych zadań syntezy, do w pełni zintegrowanych środowisk programistycznych (ISE).

Cel 4 Znajomość podstaw języka opisu sprzętu VHDL oraz paradygmatów programowania behawioralnego i strukturalnego.

4 WYMAGANIA WSTĘPNE W ZAKRESIE WIEDZY, UMIEJĘTNOŚCI I INNYCH KOMPETENCJI

1 Zaliczenie przedmiotów: Programowanie w C++. Elektronika. Technika mikroprocesorowa

5 EFEKTY KSZTAŁCENIA

EK1 Wiedza Znajomość podstawowych architektur układów programowalnych CPLD i FPGA oraz ich możliwości i ograniczeń. Znajomość architektur i parametrów układów programowalnych FPGA dostępnych w laboratorium.

EK2 Wiedza Znajomość problemów kombinatorycznych występujących w syntezie i dekompozycji układów cyfrowych oraz wybranych algorytmów syntezy cyfrowych układów kombinacyjnych, sekwencyjnych i mikroprogramowalnych.

EK3 Umiejętności Umiejętność obsługi i programowania płyt rozwojowych z układami FPGA, dostępnych w laboratorium (aktualnie Xilinx Spartan 6).

EK4 Umiejętności Umiejętność samodzielnego projektowania układów cyfrowych w oparciu o poznane struktury i algorytmy.

EK5 Umiejętności Umiejętność wspomaganego komputerowo projektowania układów cyfrowych w oparciu o język VHDL i zintegrowane środowisko programistyczne (aktualnie Xilinx Foundation ISE w ramach Xilinx University Program) oraz program PKmin.

6 TREŚCI PROGRAMOWE

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W1	Tendencje rozwojowe w technologii układów cyfrowych ze szczególnym uwzględnieniem układów programowalnych CPLD i FPGA. Charakterystyka architektur wybranych układów.	4
W2	Pojęcie funkcji logicznej, układu kombinacyjnego i postaci kombinacyjnej zależności w modelu macierzowym układów kombinacyjnych. Model automatowy i jego szczególne przypadki. Problemy optymalizacji kombinatorycznej występujące w syntezie układów cyfrowych. Algorytmy syntezy układów kombinacyjnych jedno i wielowyjściowych. Problem dekompozycji układów i algorytmy dekompozycji układów kombinacyjnych. Synteza układów sekwencyjnych. Liczniki równoległe i nierównoległe. Sprawdzian pisemny na wykładzie.	10

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W3	Synteza bezpośrednia układów cyfrowych w oparciu o bloki średniej skali integracji. Pojęcie mikroprogramowania. Architektury układów mikroprogramowalnych i formaty mikrorozkazów. Synteza układów mikroprogramowalnych. Sprawdzian pisemny na wykładzie.	6
W4	Narzędzia opisu układów cyfrowych. Wprowadzenie do języka VHDL. Modelowanie strukturalne i behawioralne systemów cyfrowych w języku VHDL. Opis przykładowego projektu w języku VHDL specjalizowanego systemu mikroprocesorowego.	8
W5	Systemy wbudowane. Architektura CSoC z programowalnymi modułami. Nowe kierunki rozwoju systemów programowalnych: architektury układów rekonfigurowalnych i ewoluujących.	2

LABORATORIA		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
L1	Zapoznanie się z płytami rozwojowymi z układami programowalnymi FPGA dostępnymi w laboratorium oraz ich dokumentacją.	2
L2	Zapoznanie się ze zintegrowanym środowiskiem programistycznym Xilinx Foundation ISE (Xilinx University Program) i jego dokumentacją.	2
L3	Ćwiczenie: synteza układu kombinacyjnego. Sekwencja czynności projektowych: opis układu, sprawdzenie poprawności składni, implementacja, symulacja logiczna, symulacja czasowa, rozplanowanie wejść i wyjść w układzie docelowym, programowanie układu docelowego, debugging.	6
L4	Ćwiczenie: synteza i symulacja układu sekwencyjnego. Zagadnienie optymalizacji upakowania i szybkości układu. Raporty generowane w środowisku programistycznym. Weryfikacja poprawności układu docelowego.	6
L5	Zapoznanie się z programem PKmin do syntezy i dekompozycji układów cyfrowych. Synteza i dekompozycja układów cyfrowych na poziomie logicznym. Wykorzystanie wyników działania narzędzia PKmin w środowisku Xilinx Foundation ISE.	6
L6	Ćwiczenie: synteza wybranego cyfrowego układu sterowania FPGA przy wykorzystaniu poznanych narzędzi projektowych. Analiza uzyskanych rozwiązań z uwzględnieniem efektywności czasowej i sprzętowej.	6
L7	Prezentacje multimedialne wyników zadań laboratoryjnych wykonanych w zespołach.	2

7 NARZĘDZIA DYDAKTYCZNE

N1 Wykłady

N2 Ćwiczenia laboratoryjne

N3 Praca w grupach

N4 Prezentacje multimedialne

8 OBCIĄŻENIE PRACĄ STUDENTA

FORMA AKTYWNOŚCI	ŚREDNIA LICZBA GODZIN NA ZREALIZOWANIE AKTYWNOŚCI
Godziny kontaktowe z nauczycielem akademickim, w tym:	
Godziny wynikające z planu studiów	60
Konsultacje przedmiotowe	4
Egzaminy i zaliczenia w sesji	1
Godziny bez udziału nauczyciela akademickiego wynikające z nakładu pracy studenta, w tym:	
Przygotowanie się do zajęć, w tym studiowanie zalecanej literatury	15
Opracowanie wyników	10
Przygotowanie raportu, projektu, prezentacji, dyskusji	10
Praca domowa w środowiskach programistycznych WebPack ISE i PKmin	20
SUMARYCZNA LICZBA GODZIN DLA PRZEDMIOTU WYNIKAJĄCA Z CAŁEGO NAKŁADU PRACY STUDENTA	120
SUMARYCZNA LICZBA PUNKTÓW ECTS DLA PRZEDMIOTU	4.00

9 SPOSOBY OCENY

OCENA FORMUJĄCA

F1 Sprawdzian pisemny

F2 Sprawozdanie z ćwiczenia laboratoryjnego

F3 Prezentacja multimedialna

OCENA PODSUMOWUJĄCA

P1 Średnia ważona ocen formujących : 1) 40 % 2) 50 % 3) 10%

WARUNKI ZALICZENIA PRZEDMIOTU

W1 Obecności na wykładach i ćwiczeniach laboratoriach

OCENA AKTYWNOŚCI BEZ UDZIAŁU NAUCZYCIELA
B1 Ocena aktywności w ramach rodzajów zajęć
KRYTERIA OCENY

EFEKT KSZTAŁCENIA 1	
NA OCENĘ 2.0	Brak znajomości podstawowej architektury układów programowalnych FPGA Spartan 6 dostępnych w laboratorium.
NA OCENĘ 3.0	Znajomość podstawowej architektury układu programowalnego FPGA Spartan 6 dostępnego w laboratorium.
NA OCENĘ 4.0	Znajomość podstawowych architektur układów programowalnych FPGA Spartan 6 i innych układów programowalnych FPGA dostępnych w laboratorium.
NA OCENĘ 5.0	Znajomość podstawowych architektur układów programowalnych FPGA Spartan 6 oraz ich możliwości i ograniczeń. Znajomość innych architektur układów programowalnych FPGA dostępnych w laboratorium.
EFEKT KSZTAŁCENIA 2	
NA OCENĘ 2.0	Poniżej 50% punktów uzyskanych ze sprawdzianu znajomości problemów kombinatorycznych występujących w syntezie układów cyfrowych i ich złożoności obliczeniowej oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych i nierównoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 3 strukturach mikroprogramowalnych. (łącznie)
NA OCENĘ 3.0	50-59 % punktów uzyskanych ze sprawdzianu znajomości problemów kombinatorycznych występujących w syntezie układów cyfrowych i ich złożoności obliczeniowej oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych i nierównoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 3 strukturach mikroprogramowalnych. (łącznie)
NA OCENĘ 3.5	60-69 % punktów uzyskanych ze sprawdzianu znajomości problemów kombinatorycznych występujących w syntezie układów cyfrowych i ich złożoności obliczeniowej oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych i nierównoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 3 strukturach mikroprogramowalnych. (łącznie)

NA OCENĘ 4.0	70-79 % punktów uzyskanych ze sprawdzianu znajomości problemów kombinatorycznych występujących w syntezie układów cyfrowych i ich złożoności obliczeniowej oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych i nierównoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 3 strukturach mikroprogramowalnych. (łącznie)
NA OCENĘ 4.5	80-89 % punktów uzyskanych ze sprawdzianu znajomości problemów kombinatorycznych występujących w syntezie układów cyfrowych i ich złożoności obliczeniowej oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych i nierównoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 3 strukturach mikroprogramowalnych. (łącznie)
NA OCENĘ 5.0	90-100 % punktów uzyskanych ze sprawdzianu znajomości problemów kombinatorycznych występujących w syntezie układów cyfrowych i ich złożoności obliczeniowej oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych i nierównoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 3 strukturach mikroprogramowalnych. (łącznie)
EFEKT KSZTAŁCENIA 3	
NA OCENĘ 2.0	Brak umiejętności wykonania pod kierunkiem połączeń lub konfiguracji programu IMPACT lub programowania płyty z układem FPGA poprzez interfejs JTAG lub zaprogramowania pod kierunkiem pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci.
NA OCENĘ 3.0	Umiejętność wykonania pod kierunkiem połączeń, konfiguracji programu IMPACT, programowania płyty z układem FPGA poprzez interfejs JTAG. Umiejętność zaprogramowania pod kierunkiem pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci. (łącznie)
NA OCENĘ 4.0	Umiejętność samodzielnego wykonania połączeń płyty z komputerem i zasilaniem, konfiguracji programu IMPACT, programowania płyty z układem FPGA poprzez interfejs JTAG. Umiejętność samodzielnego zaprogramowania pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci. Obsługa wybranych układów wejścia/wyjścia dostępnych na płycie. Dobór dzielnika częstotliwości zegara. (łącznie)
NA OCENĘ 5.0	Umiejętność samodzielnego wykonania połączeń płyty z komputerem i zasilaniem, konfiguracji programu IMPACT, programowania płyty z układem FPGA poprzez interfejs JTAG. Umiejętność samodzielnego zaprogramowania pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci. Obsługa wybranych układów wejścia/wyjścia dostępnych na płycie. Dobór dzielnika częstotliwości zegara. Umiejętność użycia układu eliminującego drgania styków przełączników (debouncera). (łącznie)
EFEKT KSZTAŁCENIA 4	

NA OCENĘ 2.0	Poniżej 50% punktów uzyskanych ze sprawdzianu umiejętności zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, redukcja liczby wejść i dekompozycja układu w oparciu o bazę macierzy, syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX oraz w strukturach mikroprogramowalnych.
NA OCENĘ 3.0	50-59 % punktów uzyskanych ze sprawdzianu umiejętności zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, redukcja liczby wejść i dekompozycja układu w oparciu o bazę macierzy, syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX oraz w strukturach mikroprogramowalnych.
NA OCENĘ 3.5	60-69 % punktów uzyskanych ze sprawdzianu umiejętności zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, redukcja liczby wejść i dekompozycja układu w oparciu o bazę macierzy, syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX oraz w strukturach mikroprogramowalnych.
NA OCENĘ 4.0	70-79 % punktów uzyskanych ze sprawdzianu umiejętności zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, redukcja liczby wejść i dekompozycja układu w oparciu o bazę macierzy, syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX oraz w strukturach mikroprogramowalnych.
NA OCENĘ 4.5	80-89 % punktów uzyskanych ze sprawdzianu umiejętności zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, redukcja liczby wejść i dekompozycja układu w oparciu o bazę macierzy, syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX oraz w strukturach mikroprogramowalnych.
NA OCENĘ 5.0	90-100 % punktów uzyskanych ze sprawdzianu umiejętności zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, redukcja liczby wejść i dekompozycja układu w oparciu o bazę macierzy, syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX oraz w strukturach mikroprogramowalnych.
EFEKT KSZTAŁCENIA 5	
NA OCENĘ 2.0	Poniżej 50% punktów uzyskanych z laboratoriów za umiejętności samodzielnego pisania i uruchamiania prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji, rozplanowania wejść/wyjść, symulacji czasowej w zintegrowanym środowisku programistycznym Foundation ISE oraz PKmin.
NA OCENĘ 3.0	50-59 % punktów uzyskanych z laboratoriów za umiejętności samodzielnego pisania i uruchamiania prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji, rozplanowania wejść/wyjść, symulacji czasowej w zintegrowanym środowisku programistycznym Foundation ISE oraz PKmin.

NA OCENĘ 3.5	60-69 % punktów uzyskanych z laboratoriów za umiejętności samodzielnego pisania i uruchamiania prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji, rozplanowania wejść/wyjść, symulacji czasowej w zintegrowanym środowisku programistycznym Foundation ISE oraz PKmin.
NA OCENĘ 4.0	70-79 % punktów uzyskanych z laboratoriów za umiejętności samodzielnego pisania i uruchamiania prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji, rozplanowania wejść/wyjść, symulacji czasowej w zintegrowanym środowisku programistycznym Foundation ISE oraz PKmin.
NA OCENĘ 4.5	80-89 % punktów uzyskanych z laboratoriów za umiejętności samodzielnego pisania i uruchamiania prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji, rozplanowania wejść/wyjść, symulacji czasowej w zintegrowanym środowisku programistycznym Foundation ISE oraz PKmin.
NA OCENĘ 5.0	90-100 % punktów uzyskanych z laboratoriów za umiejętności samodzielnego pisania i uruchamiania prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji, rozplanowania wejść/wyjść, symulacji czasowej w zintegrowanym środowisku programistycznym Foundation ISE oraz PKmin.

10 MACIERZ REALIZACJI PRZEDMIOTU

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓLOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK1	EiA_W02 EiA_W09 EiA_W21	Cel 1	W1 L1	N1 N2	F2 P1
EK2	EiA_W01	Cel 1 Cel 2	W2 W3 L3 L4 L6	N1 N2	F1 F2 P1
EK3	EiA_W09 EiA_W18 EiA_W22	Cel 3	W4 L1 L2 L3 L4	N2 N3	F2 P1
EK4	EiA_U07 EiA_U10 EiA_U13 EiA_U27	Cel 2 Cel 3 Cel 4	W2 W3 W4 L2 L3 L4 L5 L6 L7	N1 N2 N3 N4	F2 F3 P1

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓŁOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK5	EiA_U05 EiA_U07 EiA_U10 EiA_U27 EiA_K03 EiA_K06	Cel 3 Cel 4	W4 W5 L2 L3 L4 L5 L6 L7	N2 N3 N4	F2 F3 P1

11 WYKAZ LITERATURY

LITERATURA PODSTAWOWA

- [1] Łuba T., Borowik G. — *Synteza logiczna*, Warszawa, 2015, Oficyna Wydawnicza PW
- [2] Pankiewicz B., Wójcikowski M. — *Języki modelowania i symulacji*, Gdańsk, 2017, Wydawnictwo PG
- [3] Molski M. — *Modułowe i mikroprogramowalne układy cyfrowe*, Warszawa, 1986, WKŁ
- [5] De Micheli — *Synteza i optymalizacja układów cyfrowych*, Warszawa, 1998, WN-T

LITERATURA UZUPEŁNIAJĄCA

- [2] Skahill K. — *Język VHDL. Projektowanie programowalnych układów logicznych*, Warszawa, 2001, WN-T

LITERATURA DODATKOWA

- [1] Kokosiński Z. — *Algorytmiczna synteza układów cyfrowych*, Kraków, 2020, Wydawnictwo PK

12 INFORMACJE O NAUCZYCIELACH AKADEMICKICH

OSOBA ODPOWIEDZIALNA ZA KARTĘ

dr hab. inż. Prof PK Zbigniew Kokosiński (kontakt: zk@pk.edu.pl)

OSOBY PROWADZĄCE PRZEDMIOT

1 dr hab. inż. Zbigniew Kokosiński (kontakt: Zbigniew.Kokosinski@pk.edu.pl)

2 mgr inż. Mariusz Węgrzyn (kontakt: Mariusz.Wegrzyn@pk.edu.pl)

13 ZATWIERDZENIE KARTY PRZEDMIOTU DO REALIZACJI

(miejsowość, data)

(odpowiedzialny za przedmiot)

(dziekan)



PRZYJMUJĘ DO REALIZACJI (data i podpisy osób prowadzących przedmiot)

.....

.....