

POLITECHNIKA KRAKOWSKA IM. TADEUSZA KOŚCIUSZKI

KARTA PRZEDMIOTU

obowiązuje studentów rozpoczynających studia w roku akademickim 2016/2017

Wydział Inżynierii Elektrycznej i Komputerowej

Kierunek studiów: Elektrotechnika

Profil: Ogólnoakademicki

Forma studiów: stacjonarne

Kod kierunku: Elek

Stopień studiów: I

Specjalności: Automatyka w układach elektrycznych

1 INFORMACJE O PRZEDMIOCIE

NAZWA PRZEDMIOTU	Synteza cyfrowych układów sterowania
NAZWA PRZEDMIOTU W JĘZYKU ANGIELSKIM	Synthesis of digital control systems
KOD PRZEDMIOTU	WIEiK ELEKTROTECH oIS PW44 16/17
KATEGORIA PRZEDMIOTU	Przedmioty specjalnościowe
LICZBA PUNKTÓW ECTS	4.00
SEMESTRY	6

2 RODZAJ ZAJĘĆ, LICZBA GODZIN W PLANIE STUDIÓW

SEMESTR	WYKŁADY	ĆWICZENIA	LABORATORIA	LABORATORIA KOMPUTERO- WE	PROJEKTY	
6	30	0	15	0	0	0

3 CELE PRZEDMIOTU

Cel 1 Znajomość rozwoju układów cyfrowych w zależności od dostępnego stopnia integracji od układów SSI do VLSI i ASIC. Znajomość modelu automatowego i modelu układów mikroprogramowalnych. Znajomość rozwoju programowalnych układów cyfrowych w zależności od układów PLA i PLD do układów CPLD i FPGA i reprogramowalnych FPGA.

Cel 2 Znajomość problemów kombinatorycznych i algorytmów optymalizacyjnych występujących w syntezie układów SSI i MSI i modelu automatowym. Znajomość metod syntezy bezpośredniej i układów mikroprogramowalnych.

Cel 3 Znajomość wybranych narzędzi wspomagających syntezę układów cyfrowych od pojedynczych programów dedykowanych do poszczególnych zadań syntezy, do w pełni zintegrowanych środowisk programistycznych (ISE). Znajomość podstaw języka opisu sprzętu VHDL oraz programowania behawioralnego i strukturalnego.

4 WYMAGANIA WSTĘPNE W ZAKRESIE WIEDZY, UMIEJĘTNOŚCI I INNYCH KOMPETENCJI

1 Zaliczenie przedmiotu: Technika cyfrowa.

5 EFEKTY KSZTAŁCENIA

EK1 Wiedza Znajomość podstawowych architektur układów programowalnych CPLD i FPGA oraz ich możliwości i ograniczeń. Znajomość architektur i parametrów układów programowalnych FPGA dostępnych w laboratorium.

EK2 Umiejętności Umiejętność obsługi i programowania płyt rozwojowych z układami FPGA, dostępnych w laboratorium.

EK3 Wiedza Znajomość problemów kombinatorycznych występujących w syntezie układów cyfrowych oraz wybranych algorytmów syntezy cyfrowych układów kombinacyjnych, sekwencyjnych i mikroprogramowalnych.

EK4 Umiejętności Umiejętność samodzielnego projektowania układów cyfrowych w oparciu o poznane struktury i algorytmy.

EK5 Umiejętności Umiejętność wspomagane komputerowo projektowania układów cyfrowych w oparciu o język VHDL i zintegrowane środowisko programistyczne Foundation ISE (Xilinx University Program).

6 TREŚCI PROGRAMOWE

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W1	Tendencje rozwojowe w technologii układów cyfrowych ze szczególnym uwzględnieniem układów programowalnych CPLD i FPGA. Charakterystyka architektur wybranych układów.	4
W2	Pojęcie funkcji logicznej, układu kombinacyjnego i postaci kombinacyjnej zależności w modelu macierzowym układów kombinacyjnych. Model automatowy i jego szczególne przypadki. Problemy optymalizacji kombinatorycznej występujące w syntezie układów cyfrowych. Algorytmy syntezy układów kombinacyjnych jedno i wielowyjściowych. Problem dekompozycji układów i algorytmy dekompozycji układów kombinacyjnych. Synteza układów sekwencyjnych. Liczniki równoległe i nierównoległe.	10
W3	Synteza bezpośrednia układów cyfrowych w oparciu o bloki średniej skali integracji. Pojęcie mikroprogramowania. Architektury układów mikroprogramowalnych i formaty mikrorozkazów. Synteza układów mikroprogramowalnych.	6

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W4	Narzędzia opisu układów cyfrowych. Wprowadzenie do języka VHDL. Modelowanie strukturalne i behawioralne systemów cyfrowych w języku VHDL.	4
W5	Opis przykładowego projektu w języku VHDL specjalizowanego systemu mikroprocesorowego.	4
W6	Systemy wbudowane. Architektura CSoC z programowalnymi modułami. Nowe kierunki rozwoju systemów programowalnych: architektury układów rekonfigurowalnych i ewoluujących.	2

LABORATORIA		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
L1	Zapoznanie się z płytami rozwojowymi z układami programowalnymi FPGA dostępnymi w laboratorium oraz ich dokumentacją.	2
L2	Zapoznanie się ze zintegrowanym środowiskiem programistycznym Foundation ISE (Xilinx University Program) i jego dokumentacją.	2
L3	Ćwiczenie: synteza układu kombinacyjnego. Sekwencja czynności projektowych: opis układu, sprawdzenie poprawności składni, implementacja, symulacja logiczna, symulacja czasowa, rozplanowanie wejść i wyjść w układzie docelowym, programowanie układu docelowego, debugging.	2
L4	Ćwiczenie: synteza układu sekwencyjnego. Zagadnienie optymalizacji upakowania i szybkości układu. Raporty generowane w środowisku programistycznym.	2
L5	Ćwiczenie: synteza układu iteracyjnego. Regularne 1-wymiarowe i 2-wymiarowe struktury obliczeniowe i komutacyjne.	2
L6	Ćwiczenie: synteza cyfrowego układu sterowania.	5

7 NARZĘDZIA DYDAKTYCZNE

N1 Wykłady

N2 Ćwiczenia laboratoryjne

8 OBCIĄŻENIE PRACĄ STUDENTA

FORMA AKTYWNOŚCI	ŚREDNIA LICZBA GODZIN NA ZREALIZOWANIE AKTYWNOŚCI
Godziny kontaktowe z nauczycielem akademickim, w tym:	
Godziny wynikające z planu studiów	45
Konsultacje przedmiotowe	10
Egzaminy i zaliczenia w sesji	5
Godziny bez udziału nauczyciela akademickiego wynikające z nakładu pracy studenta, w tym:	
Przygotowanie się do zajęć, w tym studiowanie zalecanej literatury	20
Opracowanie wyników	10
Przygotowanie raportu, projektu, prezentacji, dyskusji	10
Praca domowa w środowisku programistycznym WebPack ISE	20
SUMARYCZNA LICZBA GODZIN DLA PRZEDMIOTU WYNIKAJĄCA Z CAŁEGO NAKŁADU PRACY STUDENTA	120
SUMARYCZNA LICZBA PUNKTÓW ECTS DLA PRZEDMIOTU	4.00

9 SPOSOBY OCENY

OCENA FORMUJĄCA

F1 Kolokwium

F2 Sprawozdanie z ćwiczenia laboratoryjnego

OCENA PODSUMOWUJĄCA

P1 Średnia ważona ocen formujących

WARUNKI ZALICZENIA PRZEDMIOTU

W1 Obecności na wykładach i ćwiczeniach laboratoriach

OCENA AKTYWNOŚCI BEZ UDZIAŁU NAUCZYCIELA

B1 Ocena pracy samodzielnej

KRYTERIA OCENY

EFEKT KSZTAŁCENIA 1

NA OCENĘ 2.0	Brak znajomości podstawowej architektury układów programowalnych FPGA Spartan dostępnych w laboratorium.
NA OCENĘ 3.0	Znajomość podstawowej architektury układu programowalnego FPGA Spartan 6 dostępnego w laboratorium.
NA OCENĘ 4.0	Znajomość podstawowych architektur układów programowalnych FPGA Spartan 6 i innych układów programowalnych FPGA dostępnych w laboratorium.
NA OCENĘ 5.0	Znajomość podstawowych architektur układów programowalnych FPGA Spartan 6 oraz ich możliwości i ograniczeń. Znajomość innych architektur układów programowalnych FPGA dostępnych w laboratorium.
EFEKT KSZTAŁCENIA 2	
NA OCENĘ 2.0	Brak umiejętności wykonania pod kierunkiem połączeń lub konfiguracji programu IMPACT lub programowania płyty z układem FPGA poprzez interfejs JTAG lub zaprogramowania pod kierunkiem pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci.
NA OCENĘ 3.0	Umiejętność wykonania pod kierunkiem połączeń, konfiguracji programu IMPACT, programowania płyty z układem FPGA poprzez interfejs JTAG. Umiejętność zaprogramowania pod kierunkiem pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci. (łącznie)
NA OCENĘ 4.0	Umiejętność samodzielnego wykonania połączeń, konfiguracji programu IMPACT, programowania płyty z układem FPGA poprzez interfejs JTAG. Umiejętność samodzielnego zaprogramowania pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci. Obsługa układów wejścia/wyjścia dostępnych na płycie. (łącznie)
NA OCENĘ 4.5	Umiejętność samodzielnego wykonania połączeń płyty z komputerem i zasilaniem, konfiguracji programu IMPACT, programowania płyty z układem FPGA poprzez interfejs JTAG. Umiejętność samodzielnego zaprogramowania pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci. Obsługa wszystkich układów wejścia/wyjścia dostępnych na płycie. Dobór dzielnika częstotliwości zegara. (łącznie)
NA OCENĘ 5.0	Umiejętność samodzielnego wykonania połączeń płyty z komputerem i zasilaniem, konfiguracji programu IMPACT, programowania płyty z układem FPGA poprzez interfejs JTAG. Umiejętność samodzielnego zaprogramowania pamięci Flash na płycie i konfigurowania FPGA bezpośrednio z tej pamięci. Obsługa wszystkich układów wejścia/wyjścia dostępnych na płycie. Dobór dzielnika częstotliwości zegara. Umiejętność użycia układu eliminującego drgania styków przełączników (debouncera). (łącznie)
EFEKT KSZTAŁCENIA 3	
NA OCENĘ 2.0	Brak znajomości 2 problemów kombinatorycznych występujących w syntezie układów cyfrowych lub poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - 1 metoda) lub syntezy układów sekwencyjnych (automatów, liczników równoległych), lub syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 2 strukturach mikroprogramowalnych.

NA OCENĘ 3.0	Znajomość 2 problemów kombinatorycznych występujących w syntezie układów cyfrowych oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - 1 metoda), syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 2 strukturach mikroprogramowalnych. (łącznie)
NA OCENĘ 4.0	Znajomość 3 problemów kombinatorycznych występujących w syntezie układów cyfrowych oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 2 strukturach mikroprogramowalnych. (łącznie)
NA OCENĘ 5.0	Znajomość 4 problemów kombinatorycznych występujących w syntezie układów cyfrowych i ich złożoności obliczeniowej oraz poznanych algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych i nierównoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 3 strukturach mikroprogramowalnych. (łącznie)
EFEKT KSZTAŁCENIA 4	
NA OCENĘ 2.0	Brak umiejętności zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - 1 metoda) lub syntezy układów sekwencyjnych (automatów, liczników równoległych), lub syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 2 strukturach mikroprogramowalnych.
NA OCENĘ 3.0	Umiejętność zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - 1 metoda), syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 2 strukturach mikroprogramowalnych. (łącznie)
NA OCENĘ 4.0	Umiejętność zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 2 strukturach mikroprogramowalnych. (łącznie)
NA OCENĘ 5.0	Umiejętność zastosowania algorytmów syntezy układów kombinacyjnych (minimalizacja postaci kombinacyjnej zależności, dekompozycja na MUX, dekompozycja w oparciu o bazę - metody top-down i bottom-up), syntezy układów sekwencyjnych (automatów, liczników równoległych i nierównoległych), syntezy bezpośredniej automatów na rejestrach i MUX, na pamięci ROM oraz w co najmniej 4 strukturach mikroprogramowalnych. (łącznie)

EFEKT KSZTAŁCENIA 5	
NA OCENĘ 2.0	Brak umiejętności pisania i uruchamiania pod kierunkiem prostych prostych programów w VHDL, lub przeprowadzenia symulacji logicznej lub implementacji układu cyfrowego w zintegrowanym środowisku programistycznym Foundation ISE lub znajomości symulatora wbudowanego.
NA OCENĘ 3.0	Umiejętność pisania i uruchamiania pod kierunkiem prostych prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji układu cyfrowego w zintegrowanym środowisku programistycznym Foundation ISE oraz znajomość symulatora wbudowanego.
NA OCENĘ 3.5	Umiejętność pisania i uruchamiania pod kierunkiem prostych prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji układu cyfrowego, rozplanowania wejść/wyjść układu w zintegrowanym środowisku programistycznym Foundation ISE, programowania układów docelowych oraz znajomość symulatora wbudowanego.
NA OCENĘ 4.0	Umiejętność samodzielnego pisania i uruchamiania pod kierunkiem prostych prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji układu cyfrowego, rozplanowania wejść/wyjść układu w zintegrowanym środowisku programistycznym Foundation ISE, programowania układów docelowych oraz znajomość symulatora wbudowanego i symulatora zewnętrznego ModelSim.
NA OCENĘ 4.5	Umiejętność samodzielnego pisania i uruchamiania pod kierunkiem prostych prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji układu cyfrowego, rozplanowania wejść/wyjść układu, symulacji czasowej w zintegrowanym środowisku programistycznym Foundation ISE oraz znajomość symulatora wbudowanego i symulatora zewnętrznego ModelSim.
NA OCENĘ 5.0	Umiejętność samodzielnego pisania i uruchamiania prostych prostych programów w VHDL, przeprowadzenia symulacji logicznej, implementacji, rozplanowania wejść/wyjść, symulacji czasowej w zintegrowanym środowisku programistycznym Foundation ISE oraz znajomość symulatora wbudowanego i symulatora zewnętrznego ModelSim.

10 MACIERZ REALIZACJI PRZEDMIOTU

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓŁOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK1	K_W01 K_W04 K_W08 K_W15 K_W18 K_U01 K_U02 K_U03 K_U05 K_U06 K_U08 K_K01 K_K02 K_K03 K_K04	Cel 1	W1 W6 L1	N1 N2	F1 F2 P1
EK2	K_W01 K_W04 K_W08 K_W15 K_W18 K_U01 K_U02 K_U03 K_U05 K_U06 K_U08 K_K01 K_K02 K_K03 K_K04 K_K07	Cel 1	L3 L4 L5 L6	N2	F2 P1
EK3	K_W01 K_W08 K_W18 K_K01 K_K03 K_K04	Cel 2	W2 W3	N1	F1 P1
EK4	K_W01 K_W04 K_W08 K_W15 K_W18 K_U01 K_U02 K_U03 K_U05 K_U06 K_U08 K_K01 K_K02 K_K03 K_K04 K_K07	Cel 2	W2 W3 L3 L4	N1	F1 P1
EK5	K_W08 K_U01 K_U02 K_U03 K_U05 K_U08 K_K01 K_K02 K_K03 K_K04 K_K07	Cel 3	W4 W5 L2 L3 L4 L5 L6	N2	F2 P1

11 WYKAZ LITERATURY

LITERATURA PODSTAWOWA

[1] | De Micheli — *Synteza i optymalizacja układów cyfrowych*, Warszawa, 1998, WN-T

[2] | Skahill K. — *Język VHDL. Projektowanie programowalnych układów logicznych*, Warszawa, 2001, WN-T

[3] | Łuba T. (red) — *Synteza układów cyfrowych*, Warszawa, 2003, WKŁ

LITERATURA UZUPEŁNIAJĄCA

[1] | Molski M. — *Modułowe i mikroprogramowalne układy cyfrowe*, Warszawa, 1986, WKŁ

12 INFORMACJE O NAUCZYCIELACH AKADEMICKICH

OSOBA ODPOWIEDZIALNA ZA KARTĘ

dr hab. inż. Prof PK Zbigniew Kokosiński (kontakt: zk@pk.edu.pl)

OSOBY PROWADZĄCE PRZEDMIOT

1 dr inż. Zbigniew Kokosiński (kontakt: Zbigniew.Kokosinski@pk.edu.pl)

13 ZATWIERDZENIE KARTY PRZEDMIOTU DO REALIZACJI

(miejscowość, data)

(odpowiedzialny za przedmiot)

(dziekan)

PRZYJMUJĘ DO REALIZACJI (data i podpisy osób prowadzących przedmiot)

.....